

MSP430実装評価用ボード マニュアル

(VMSP430-H169)

1. 概要

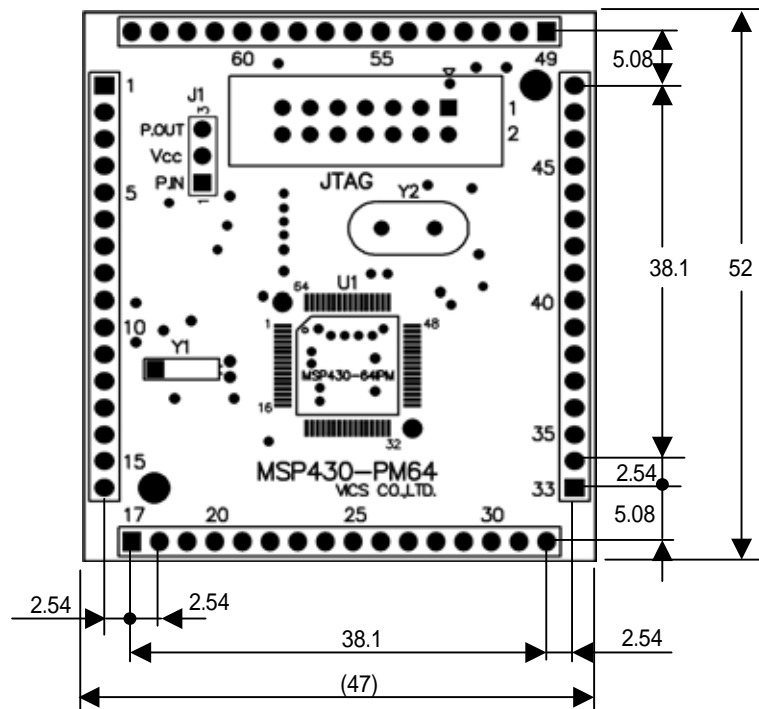
- ・TI社製超低消費マイクロコントローラMSP430F169IPM用64pinQFP実装評価ボードです。
- ・TI社製MSP430開発ツールMSP-FET430UxxとJATGで接続しターゲットボードとして使用します。
- ・TI社ホームページから限定版Cコンパイラをダウンロードする事が出来ますので開発ツールと併せ本ボードを使用し安価で迅速に動作確認や組込システムを構築する事が出来ます。

2. 特長

- ・対応CPU:MSP430F169IPM (64pin QFP)
- ・JTAGモードに対応
- ・MSP430F1169IPMの64pin全てが拡張CNに接続されています。

CPU	TI社:MSP430F169IPM 16bit RISC CPU 低電圧動作:DC1.8V ~ 3.6V メモリ:内蔵ROM 60KByte 内蔵RAM 2048Byte 超低消費電力 -Active Mode:330 μ A at 1MHz,2.2V -Stanby Mode:1.1 μ A -Off Mode(RAM Retention):0.2 μ A DMA : 3ch タイマ 16bit A:3ch B:7ch USART:2ch= (UART/LIN/IrDA/SPI):1chならびに(I2C/SPI):1ch 12bit AD \times 8ch 12bit DAC \times 2ch 温度センサ I/O: 48
デバッグ・ インターフェース	JTAG(拡張用14pinCN) POWER IN - POWER OUT (JTAGよりの電源供給-外部より供給) 切り替えジャンパ付き
拡張用CN	16pin \times 4
基板外形	47mm \times 52mm
動作温度範囲	0 ~ 40

3. 外形図 (単位:mm)



4. ジャンパーピン設定

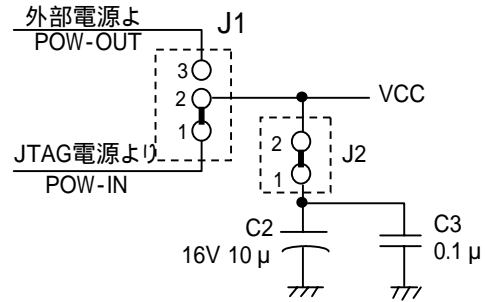
電源供給はJTAG又は外部より供給をジャンパで選択する事が出来ます。

J1: 電源設定

- 1-2短絡: JTAGより電源供給を受ける
- 2-3短絡: 外部(CN3)より電源を受ける

J2: 電源の入力コンデンサ設定

- 1-2短絡: 電源入力をコンデンサで受ける



5. 外部拡張コネクタ配置

CPU			
No	No	信号名	I/O
1	1	DVcc	
2	2	P6.3/A3	I/O
3	3	P6.4/A4	I/O
4	4	P6.5/A5	I/O
5	5	P6.6/A6/DAC0	I/O
6	6	P6.7/A7/DAC1/SVSIN	I/O
7	7	VREF+	O
8	8	XIN	I
9	9	XOUT	O
10	10	VeREF+	I
11	11	VREF/VeREF-	I
12	12	P1.0/TACLK	I/O
13	13	P1.1/TA0	I/O
14	14	P1.2/TA1	I/O
15	15	P1.3/TA2	I/O
16	16	P1.4/SMCLK	I/O

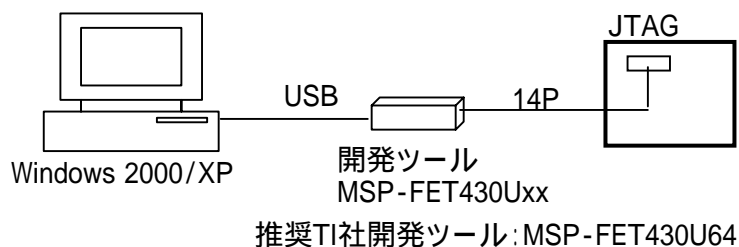
CPU			
No	No	信号名	
33	33	P3.5/URXD0	I/O
34	34	P3.6/UTXD1	I/O
35	35	P3.7/URXD1	I/O
36	36	P4.0/TB0	I/O
37	37	P4.1/TB1	I/O
38	38	P4.2/TB2	I/O
39	39	P4.3/TB3	I/O
40	40	P4.4/TB4	I/O
41	41	P4.5/TB5	I/O
42	42	P4.6/TB6	I/O
43	43	P4.7/TBCLK	I/O
44	44	P5.0/SET1	I/O
45	45	P5.1/SIMO1	I/O
46	46	P5.2/SOMI1	I/O
47	47	P5.3/UCLK1	I/O
48	48	P5.4/MCLK	I/O

CPU			
No	No	信号名	I/O
17	17	P1.5/TA0	I/O
18	18	P1.6/TA1	I/O
19	19	P1.7/TA2	I/O
20	20	P2.0/ACLK	I/O
21	21	P2.1/TAINCLK	I/O
22	22	P2.2/CAOUT/TAO	I/O
23	23	P2.3/CA0/TA1	I/O
24	24	P2.4/CA1/TA2	I/O
25	25	P2.5/Rosc	I/O
26	26	P2.6/ADC12CLK/DMAE0	I/O
27	27	P2.7/TA0	I/O
28	28	P3.0/STE0	I/O
29	29	P3.1/SIMO0/SDA	I/O
30	30	P3.2/SOMI0	I/O
31	31	P3.3/UCLK0/SCL	I/O
32	32	P3.4/UTXD0	I/O

CPU			
No	No	信号名	
49	49	P5.5/SMCLK	I/O
50	50	P5.6/ACLK	I/O
51	51	P5.7/TBOUTH/SVSOUT	I/O
52	52	XT2OUT	O
53	53	XT2OUT	I
54	54	TDO/TDI	I/O
55	55	TDI/TCLK	I
56	56	TMS	I
57	57	TCK	I
58	58	RST/NMI	I
59	59	P6.0/A0	I/O
60	60	P6.1/A1	I/O
61	61	P6.2/A2	I/O
62	62	Avss	
63	63	DVss	
64	64	Avcc	

6. MSPツール接続例

TI社開発ツールを用意し、無償の限定版Cコンパイラをダウンロードしますと低コストでMSPの性能評価や組込評価を行う事が出来ます。
PCと開発ツールとの接続を以下に示します。



株式会社ビックス

〒180-0022

東京都武蔵野市境2-2-20 武蔵境スクエアミューズ3F

<http://www.vics.co.jp/index.html>

E-MAIL: info@vics.co.jp